

„High Speed TTP/A“

TTSB-Projektabschlusspräsentation

7. September 2001, München

Robert Huber

1. Grundlagen

- TTP/A-Netz
- Busverkehr
- Minimalteilnehmer

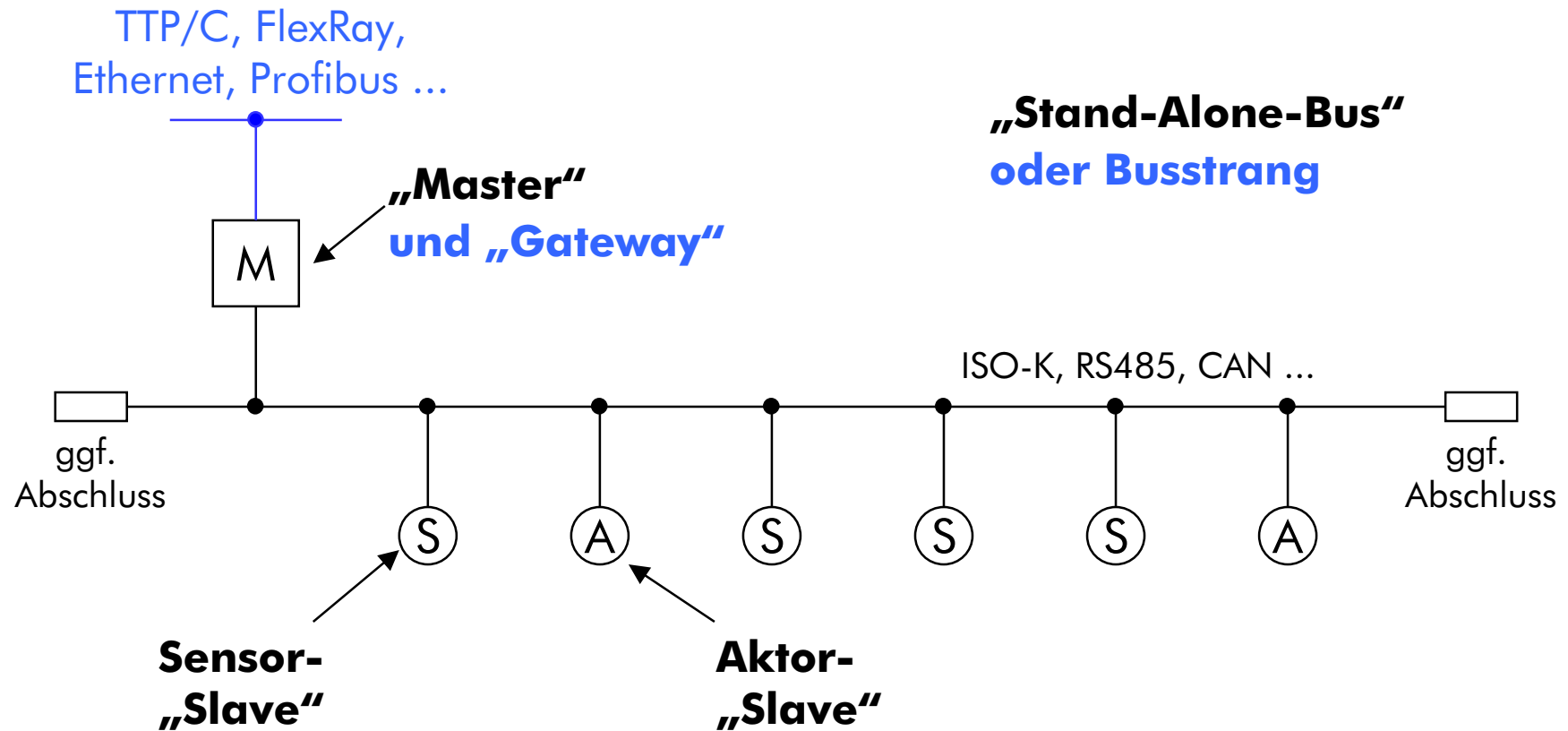
2. Erfahrungen

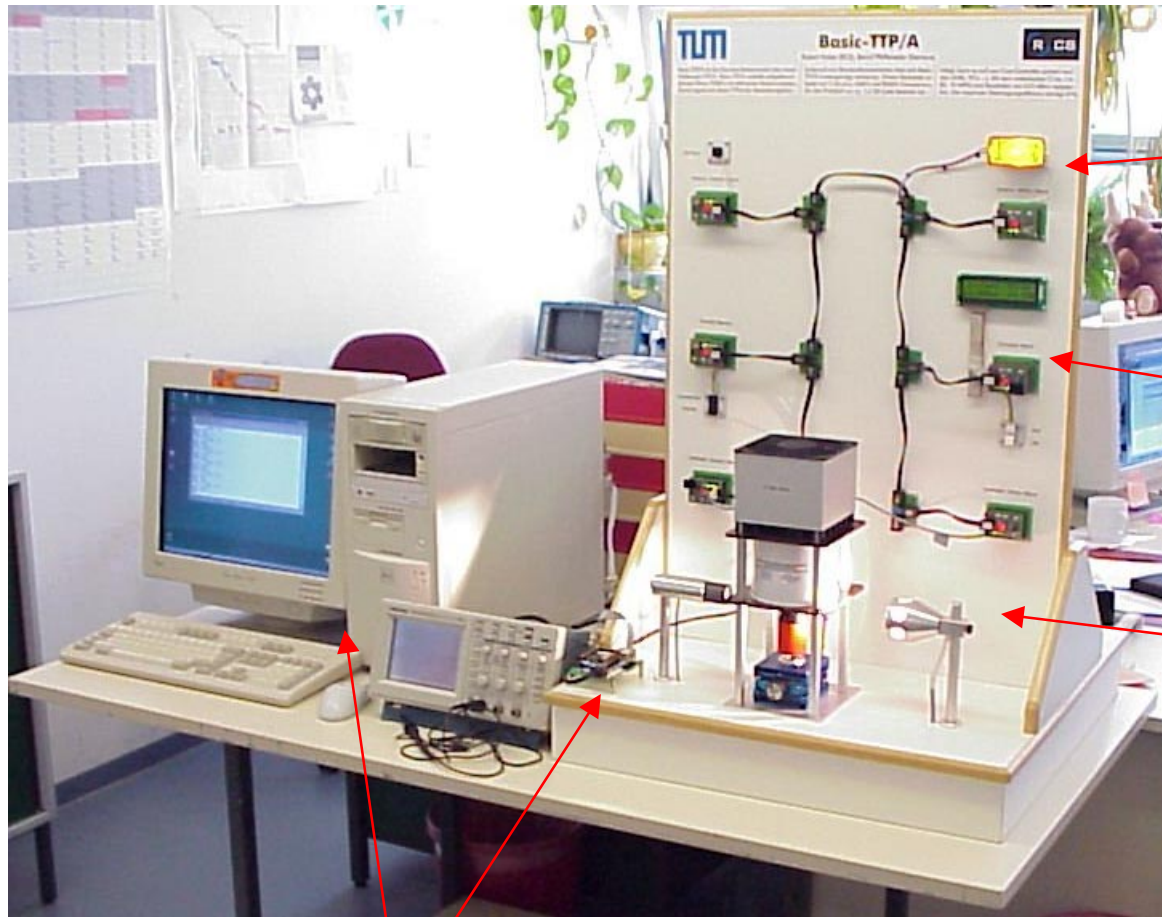
- Uhrenfehler
- Rechenzeitaufteilung

3. Ergebnisse

- ein paar Eckdaten
- Demonstration

Linien-/Busstruktur





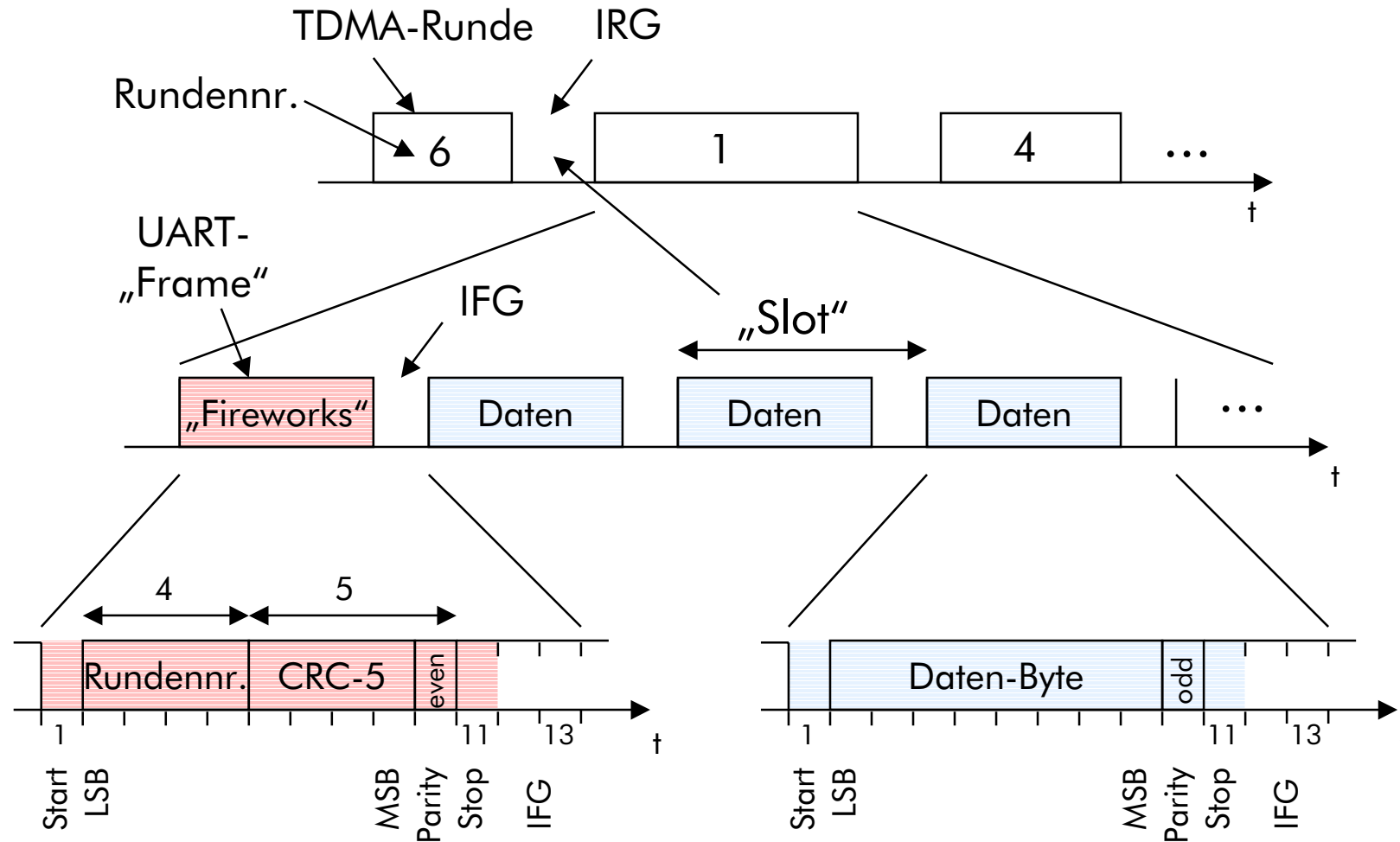
Kfz-Blinker

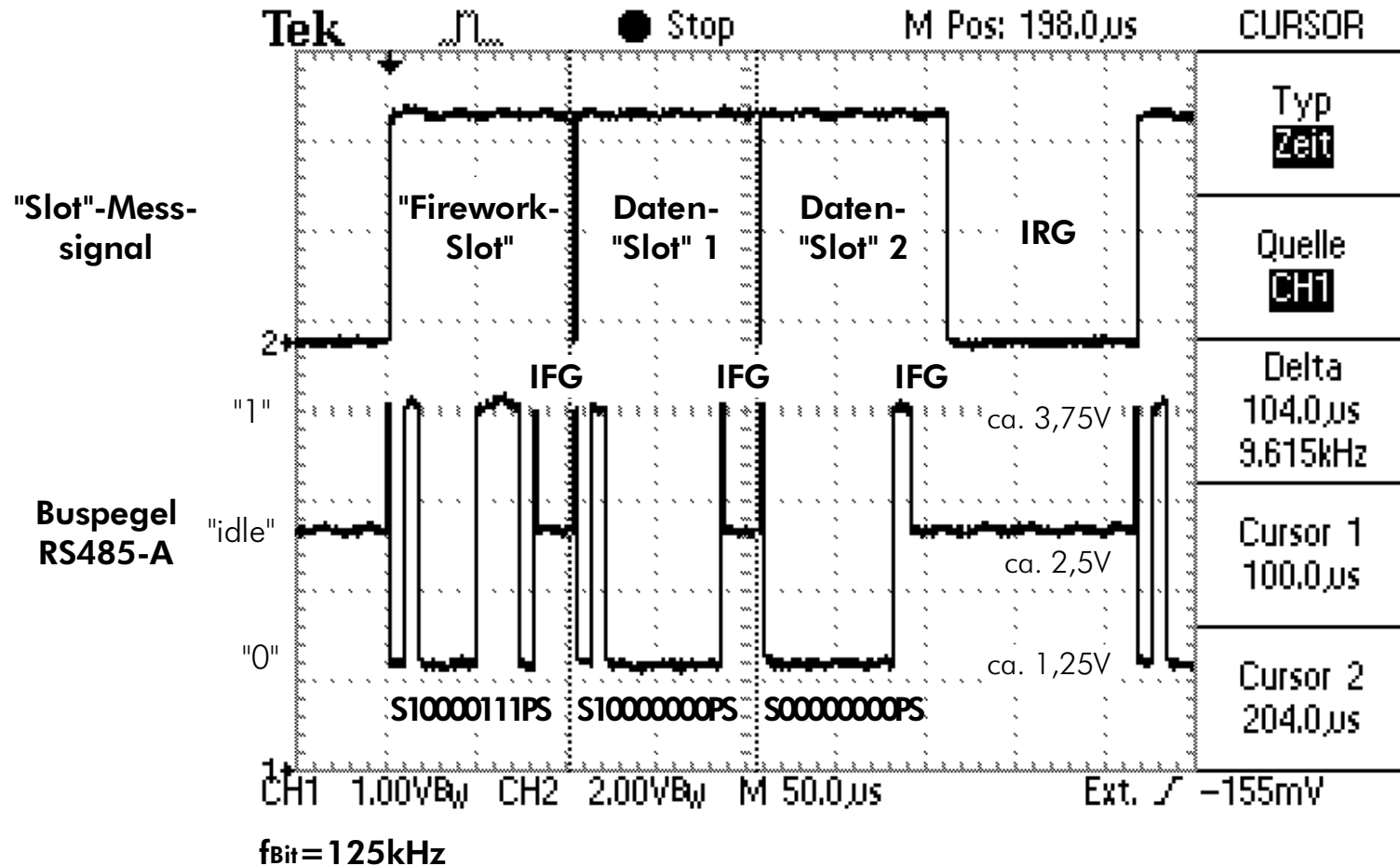
**Bedien-
terminal**

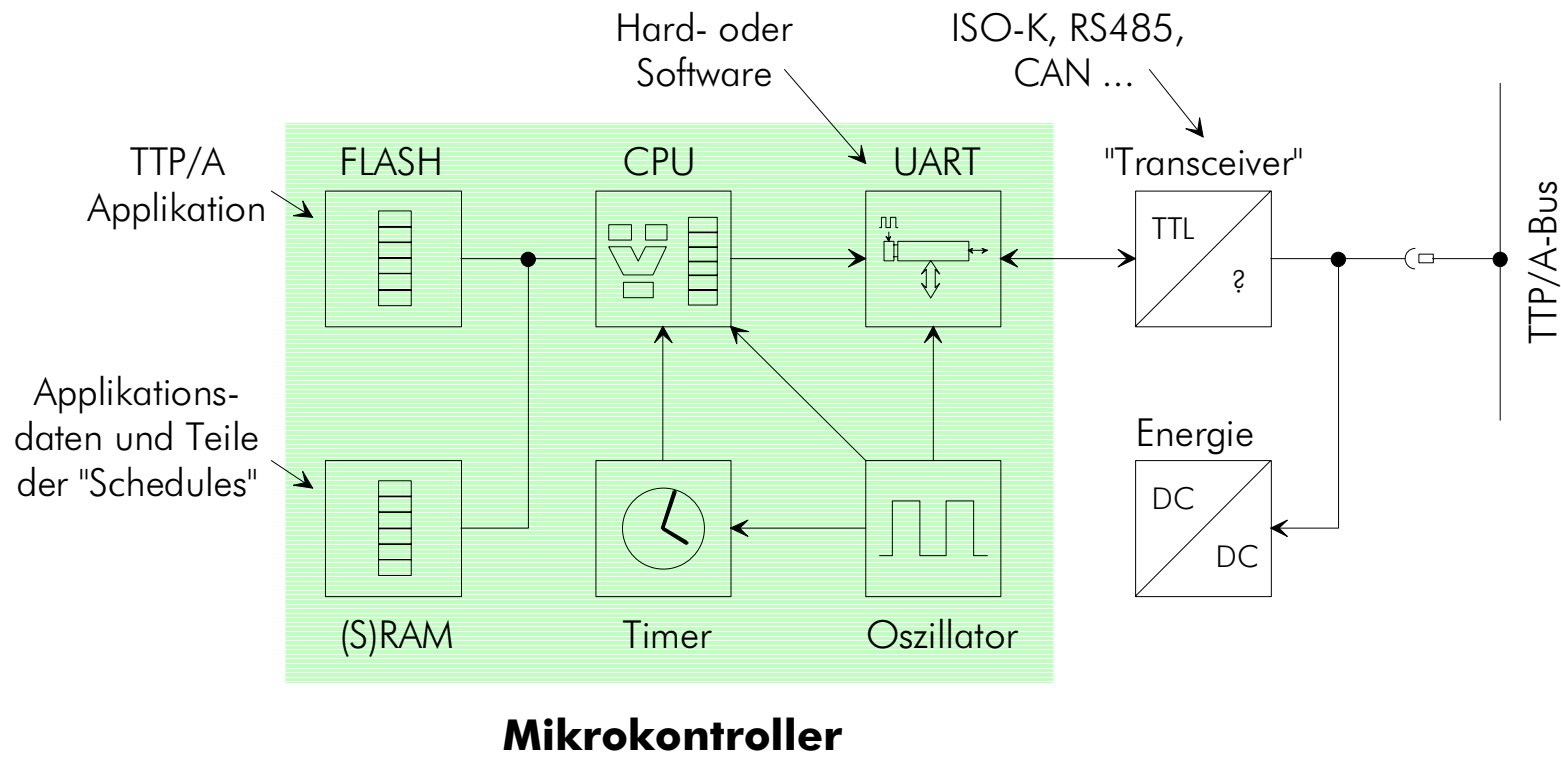
**über TTP/A
geschlossene
Regelung eines
Schwebekörpers**

**TTP/A-
Monitor**

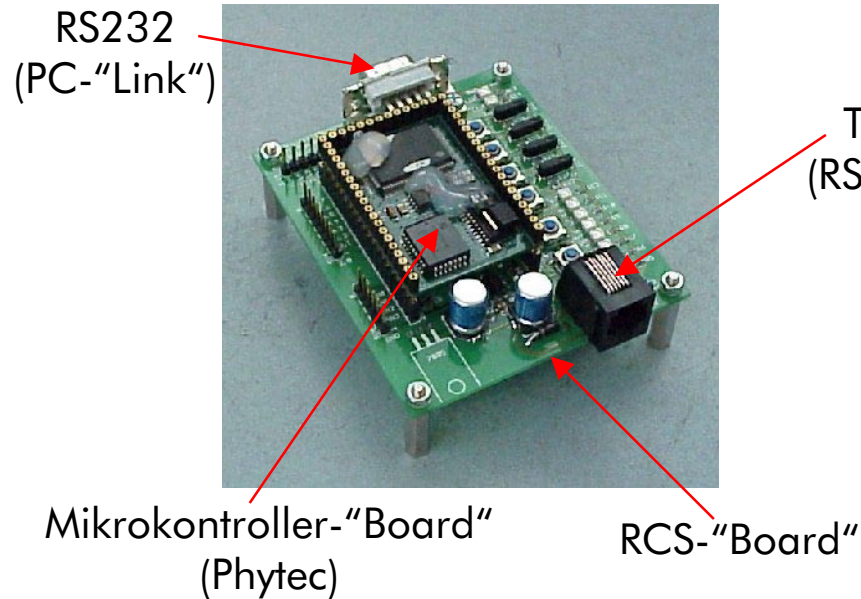






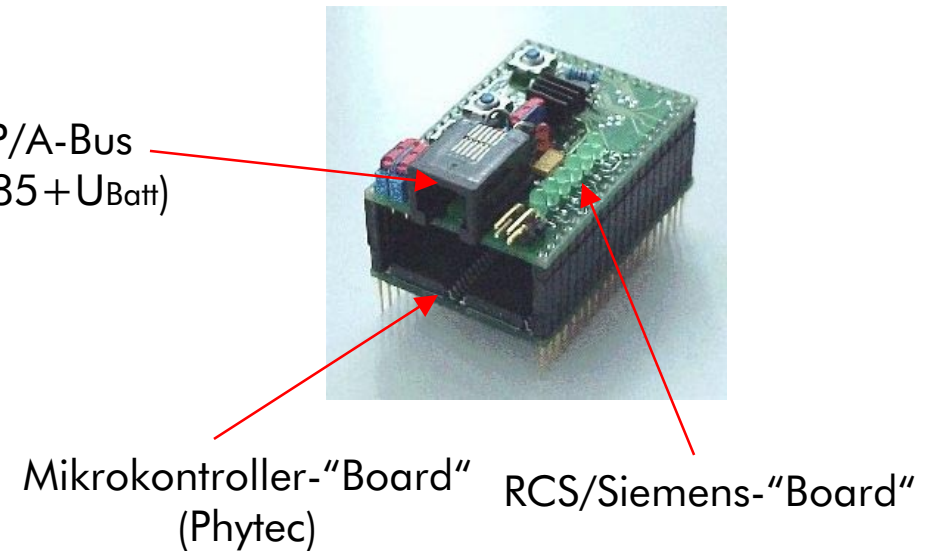


C166-Node



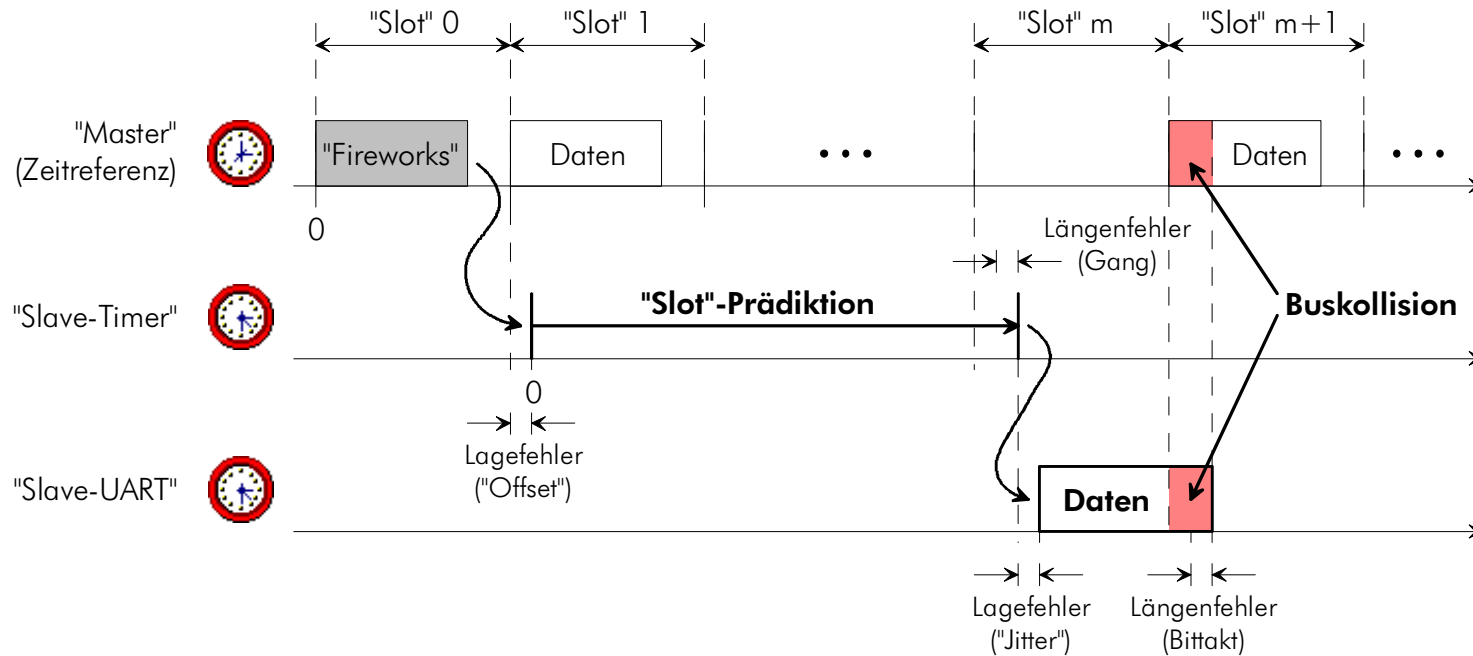
- 20 MHz CPU-Takt
- 8 Bit „multiplexed“
- avg. 5 MIPS (3,3 ... 6,6 MIPS)
- 128 KB SRAM, 128 KB FLASH
- 10 Bit ADC, PWM-DAC, 16 DIOs
- 2 UARTs, 4 „Core-Timer“

C165-Node



- 20 MHz CPU-Takt
- 16 Bit „demultiplexed“
- max. 10 MIPS
- 256 KB SRAM, 256 KB FLASH
- 12Bit ADC, 12 Bit DAC, 16 DIOs
- 1 UART, 2 „Core-Timer“

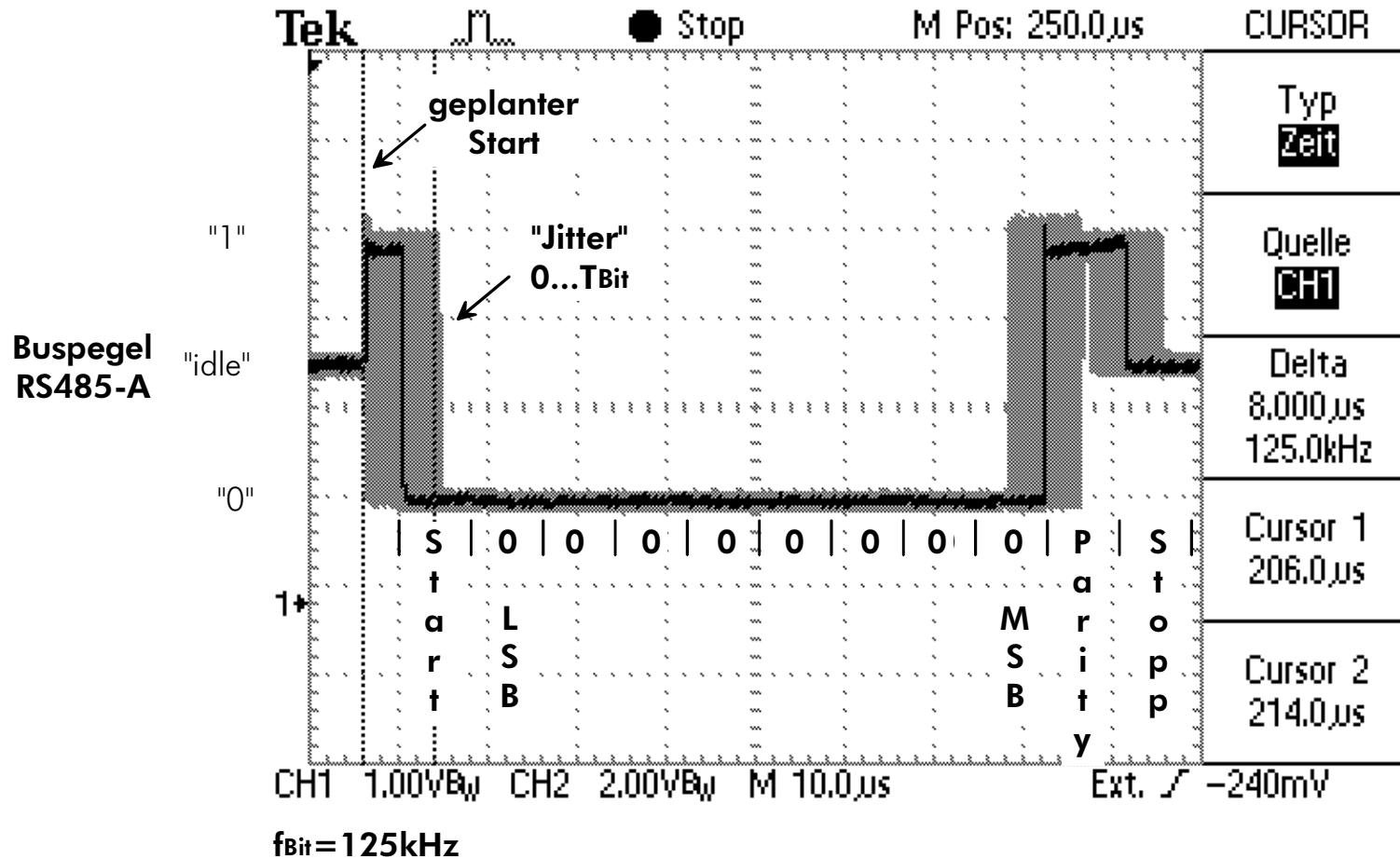




Zulässige „Slave“-Uhrenfehler mit $T_{IFG} = 2 \cdot T_{Master, Bit}$:

$$|F_{Timer}| = \left| \frac{t_{Slave, Slot} - t_{Master, Slot}}{t_{Master, Slot}} \right| \leq 0,152 \cdot 10^{-3} \quad |F_{UART}| = \left| \frac{f_{Slave, Bit} - f_{Master, Bit}}{f_{Master, Bit}} \right| \leq 18,4 \cdot 10^{-3}$$







Damit die Uhrenfehler eines „Slaves“ in den geforderten Grenzen bleiben müssen **„Timer“** und **UART synchronisiert** werden.



- „Offset“-Fehler immer
- Gangfehler bei RC- oder „On Chip“-Oszillatoren

- Bittakt-Fehler immer
- „Jitter“-Fehler dort, wo möglich



Konsequenzen:

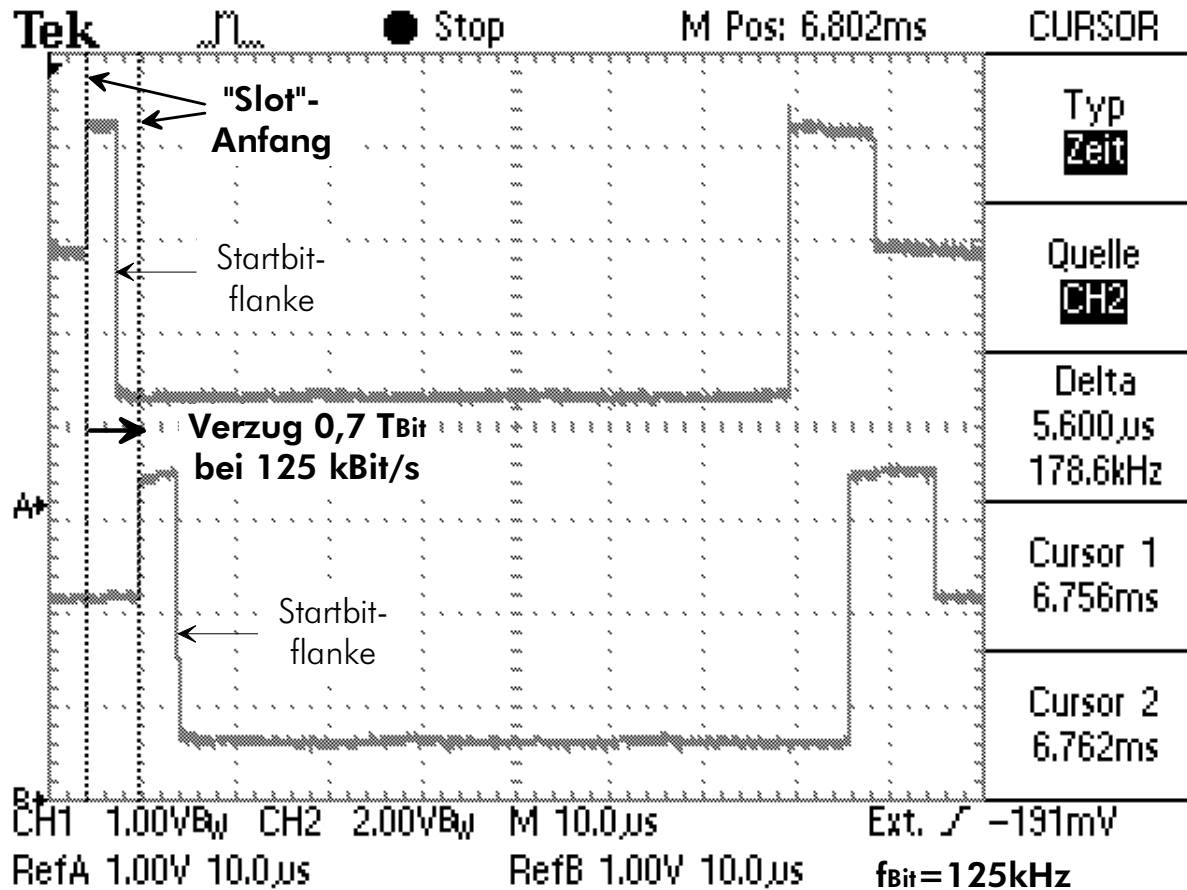
- „jitter“-arme „Fireworks-Frames“ vom „Master“ zum Vermessen
- selbstjustierender „Slave“-Kode wegen „Offset“-Fehler

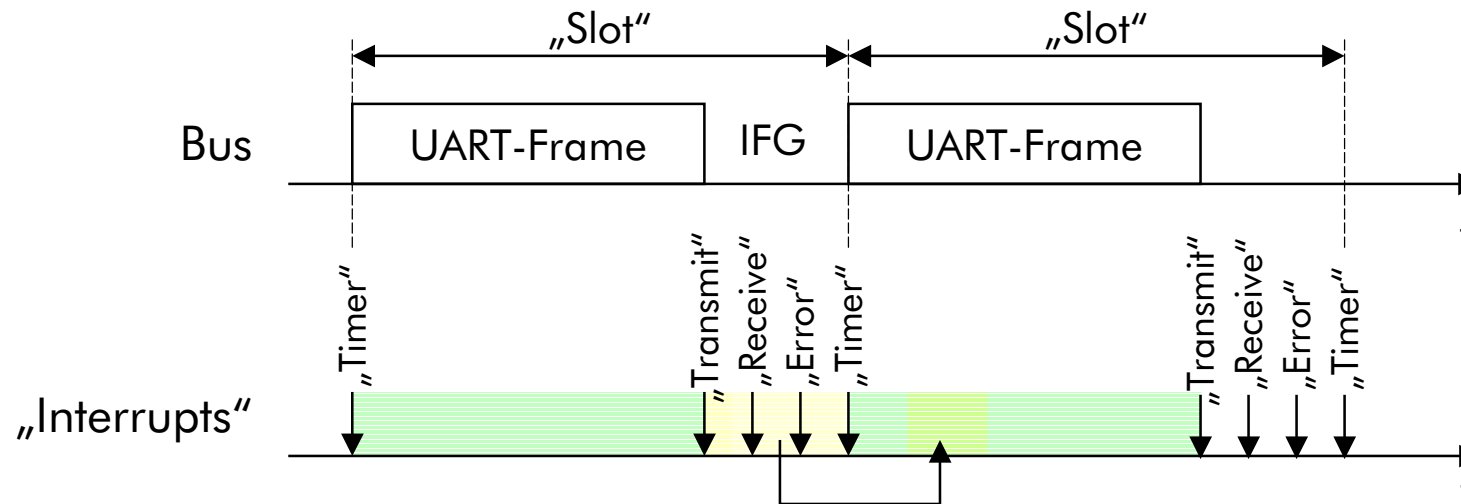


Buspegel
RS485-A

mit
Korrektur

ohne
Korrektur





Problem:

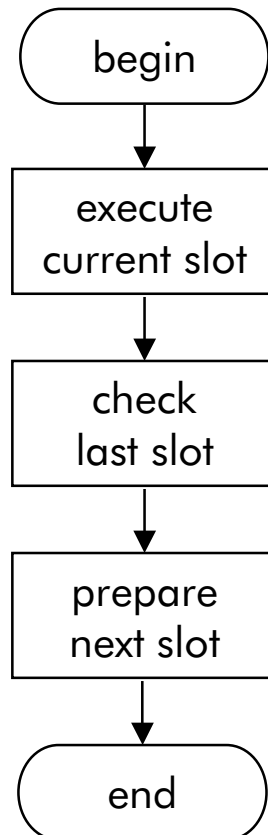
- am „Slot“-Ende viele „Interrupts“
- wenig Rechenzeit bei hohen Baudraten

Idee:

- TTP/A-Rechenzeit in Freiraum legen
- unnötige Task“-Wechsel vermeiden



„Interleave“- Algorithmus



Vorteile:

- optimale Rechenzeitverteilung
- minimale Anzahl an „Task“-Wechsel
- geringe Codegröße („low cost“ μC)



Ergebnis (C-Impl.):

- Baudrate max. 625 kBit/s
- bei gut 50% CPU-Last
- und ca. 1,5 kB Kode





**Und nun zur
Demonstration**